

DATA TRANSMISSION SYSTEM

Publication number: JP8097803 (A)

Publication date: 1996-04-12

Inventor(s): SHIKADA HIROTAKA

Applicant(s): NIPPON ELECTRIC ENG

Classification:

- international: H04L1/00; H04L1/00; (IPC1-7): H04L1/00

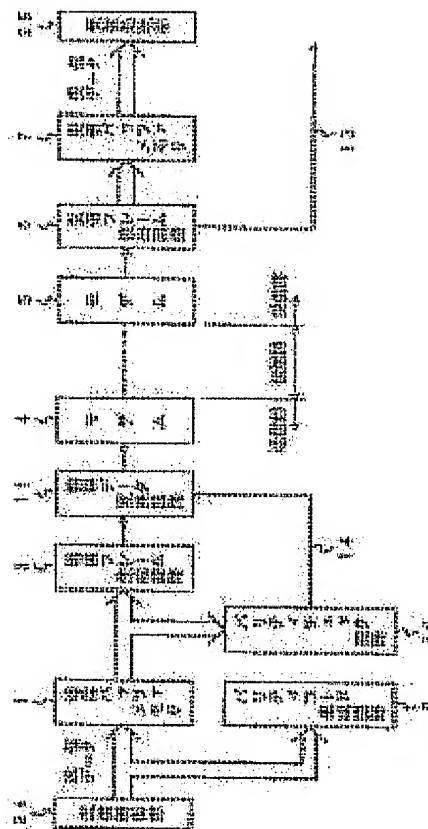
- European:

Application number: JP19940229341 19940926

Priority number(s): JP19940229341 19940926

Abstract of JP 8097803 (A)

PURPOSE: To prevent malfunctions in a reception part at the time of the transmission/reception control of data through a buffer memory. **CONSTITUTION:** A transmission part is provided with a parity check circuit 10 and a logical data conversion circuit 11 and the parity check of a transmission buffer memory 1 is performed. When a parity error is present, signals inside a transmission frame are converted in the logical data conversion circuit 11, a transmission frame format is changed to an erroneous format, the frame is cancelled as a CRC error on a reception part side and the data contents of the erroneous frame are prevented from being transmitted to the reception part.



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-97803

(43) 公開日 平成8年(1996)4月12日

(51) Int.Cl.⁶

H 0 4 L 1/00

識別記号

F

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平6-229341

(22) 出願日 平成6年(1994)9月26日

(71) 出願人 000232047

日本電気エンジニアリング株式会社

東京都港区芝浦三丁目18番21号

(72) 発明者 鹿田 洋孝

東京都港区芝浦三丁目18番21号 日本電気

エンジニアリング株式会社内

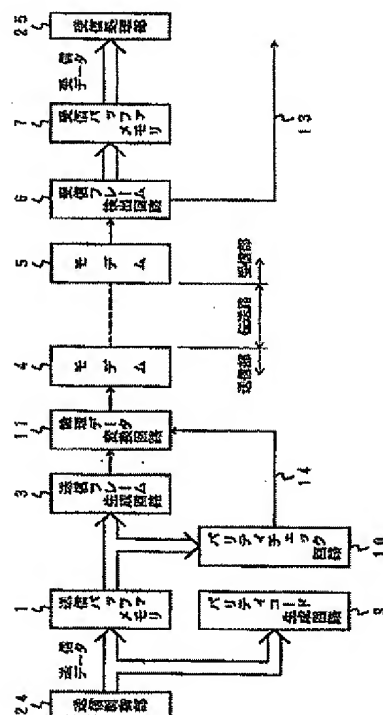
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 データ伝送方式

(57) 【要約】

【目的】 受信部における誤動作を防止する。

【構成】 送信部にパリティチェック回路10と、論理データ変換回路11をもち、送信バッファメモリ1のパリティチェックを行い、パリティエラーがあった場合には送信フレーム内の信号を論理データ変換回路11で変換し、送信フレームフォーマットを誤ったフォーマットに変え、受信部側でCRC・エラーとしてフレームを破棄させ、誤ったフレームのデータ内容が受信部に伝わるのを防ぐ。



5

タ16、CRC18、エンド・コード19が論理的に反転され、誤ったフレームフォーマットとしてモデム4へ出力される。即ち、スタート・コード15、データ16、CRC18、エンド・コード19は、論理データ変換されたスタート・コード20、論理データ変換されたデータ21、論理データ変換されたCRC22、論理データ変換されたエンド・コード23としてモデム4へ出力される。

【0026】誤ったフレームが受信部の受信フレーム検出回路6に入力されると、フレームとして認識されないの
10 で誤ったデータが受信バッファメモリ7に書き込まれず、伝送誤り検出信号13が受信フレーム検出回路6より出力される。

【0027】

【発明の効果】以上述べたように、本発明のデータ伝送方式によれば、送信部側にパリティチェック回路10を設け、送信バッファメモリ1の誤り検出機能を持ち、もし、誤り検出した場合に送信されるフレームを変換し、フレーム内のスタート・コード、データ、CRC、エン
20 ド・コードを誤らせるので、受信フレーム検出回路でCRCエラーもしくはフレームエラーとして認識され、正常なフレームを受信したとは認められずフレームが破棄されるので、受信部側で受信したフレームの内容が誤っているか否かを確認するための特別なハードウェアやソフトウェアを付加する必要がない。

【図面の簡単な説明】

【図1】本発明のデータ伝送方式の一実施例の構成を示すブロック図である。

【図2】図1の論理データ変換回路からモデムへ出力されるフレームの構成図である。
30

【図3】本発明のデータ伝送方式における送信バッファ*

6

*メモリにパリティエラーが発生した場合の論理データ変換回路からモデムへ出力されるフレームの構成図である。

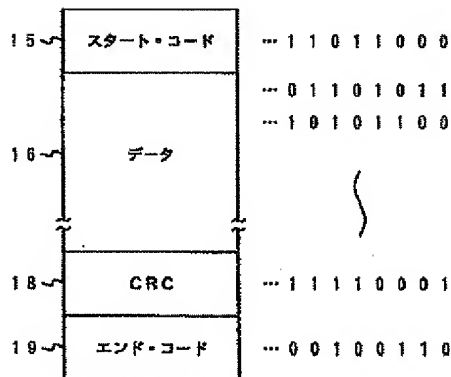
【図4】送受信制御部の代表的な構成例を示すブロック図である。

【図5】図4のフレームの構成図である。

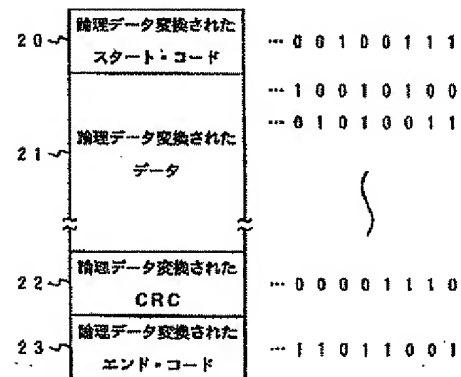
【符号の説明】

- 1 送信バッファメモリ
- 2 ブロックチェック生成回路
- 3 送信フレーム生成回路
- 4, 5 モデム
- 6 受信フレーム検出回路
- 7 受信バッファメモリ
- 8 ブロックチェックコード検出回路
- 9 パリティコード生成回路
- 10 パリティチェック回路
- 11 論理データ変換回路
- 12 メモリエラー検出信号
- 13 伝送誤り検出信号
- 14 パリティエラー検出信号
- 15 スタート・コード
- 16 データ
- 17 ブロックチェックコード
- 18 CRC
- 19 エンド・コード
- 20 論理データ変換されたスタート・コード
- 21 論理データ変換されたデータ
- 22 論理データ変換されたCRC
- 23 論理データ変換されたエンド・コード
- 24 送信制御部
- 25 受信処理部

【図2】

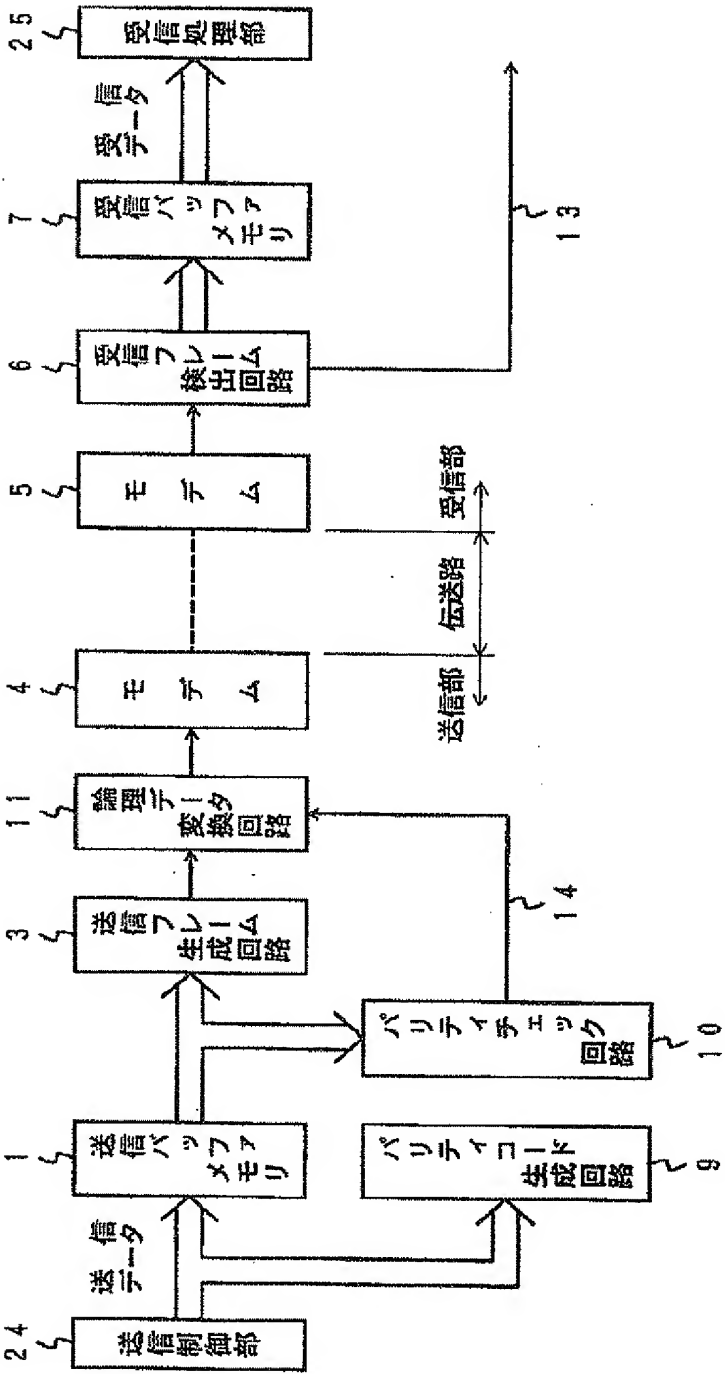


【図3】

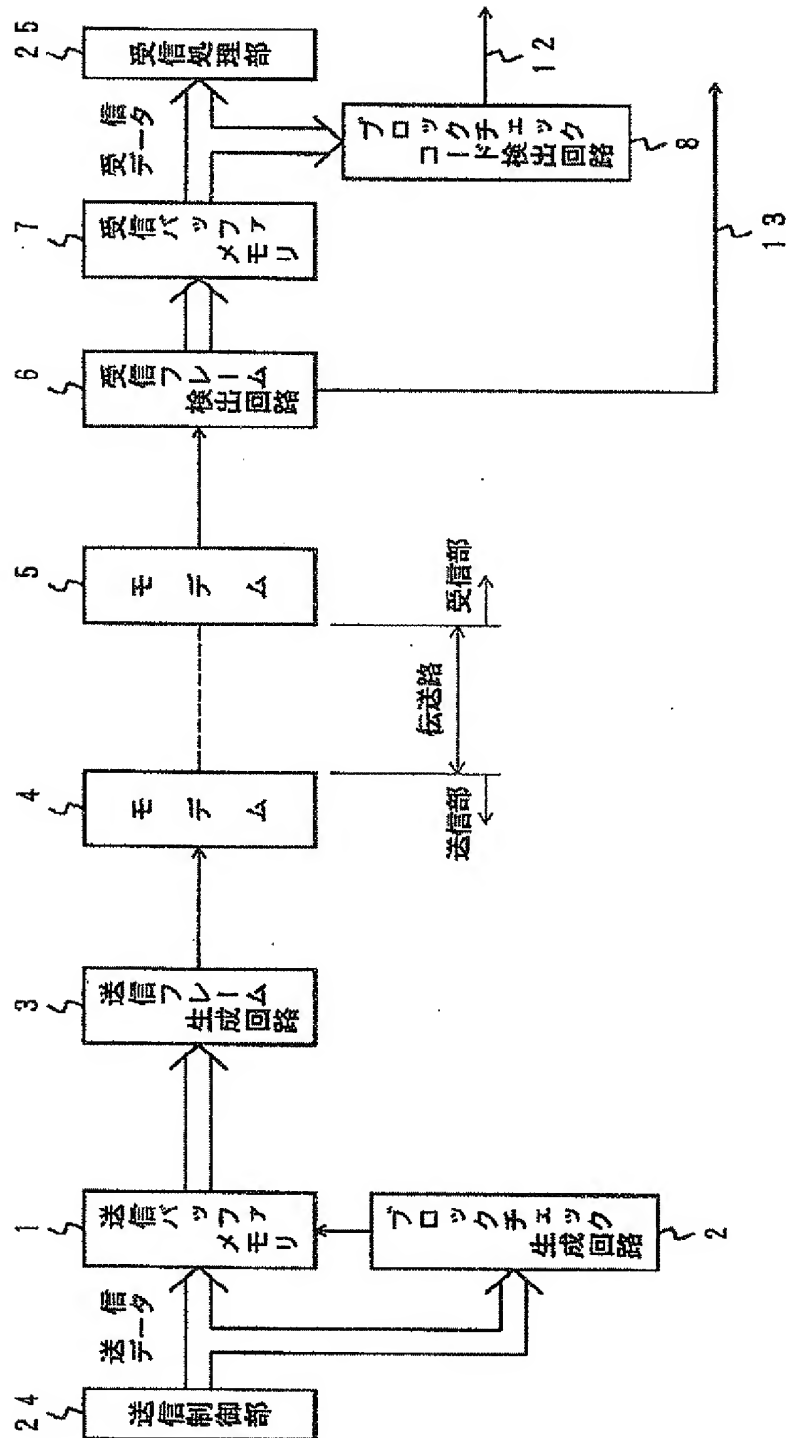


(5)

【図 1】



【図4】



【図5】

